

行政院國家科學委員會專題研究計畫 成果報告

使用在行動通訊上具寬頻及多重通訊協定之類比/數位轉換 器新架構之研究及其晶片實現

計畫類別：個別型計畫

計畫編號：NSC91-2215-E-032-002-

執行期間：91 年 08 月 01 日至 92 年 07 月 31 日

執行單位：淡江大學電機工程學系(所)

計畫主持人：江正雄

計畫參與人員：周保助、陳信良

報告類型：精簡報告

處理方式：本計畫可公開查詢

中 華 民 國 92 年 10 月 27 日

使用在行動通訊上具寬頻及多重通訊協定之類比/數位轉換器新架構之研究及其晶片實現

Dual-band sigma-delta modulator for wideband receiver applications

計畫編號：91-2215-E-032-002

執行期限：91 年 8 月 1 日至 92 年 7 月 31 日

計畫主持人：江正雄 淡江大學電機系副教授 Email: chiang@ee.tku.edu.tw
計劃參與人員：周保助 博士班研究生 E-mail: pcchou@ee.tku.edu.tw
陳信良 博士班研究生 E-mail: pcchou@ee.tku.edu.tw

一、 中文摘要

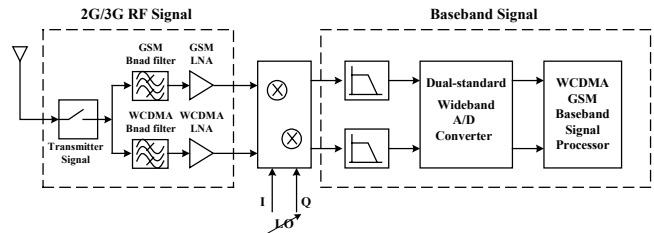
在此次的計畫中，我們設計一低諧波失真架構之串接式三角積分調變器與一新型雙頻帶三角積分調變器，它們皆採用了低失真 SDM 和 interpolative SDM 的特點來壓抑量化雜訊，使得系統在寬頻應用時有相當好的解析度輸出。

Abstract

This work presents a two-stage, fourth order, multi-stage, noise shaped (MASH) SDM and a new sigma-delta modulator (SDM) architecture for wide bandwidth applications. Low-distortion swing-suppressing SDM and interpolative SDM cascaded units are used together in these proposed SDMs. The resolution can be improved even under non-linearity effects by using the low-distortion swing-suppression technique. The interpolative SDM extends the signal bandwidth and represses the high-band noise. An experimental SDM was designed and simulated by 0.25- μm 1P5M CMOS technology.

二、 計畫緣由與目的

第三代無線通訊系統將需要具備高速及寬頻的 ADC 及高速的 DSP 部分，除此之外為了達到全球化漫遊的目標，此寬頻接收端還需具有適應不同通訊協定的能力；所以我們除了要致力於研製寬頻新架構的 ADC 上，同時也須研究使此 ADC 具有多重通訊協定的能力。因此本計畫致力於研究單一 ADC 使其具有多重通訊規格的研究，如圖一所示，如此一來便可減低接收端晶片面積及成本。

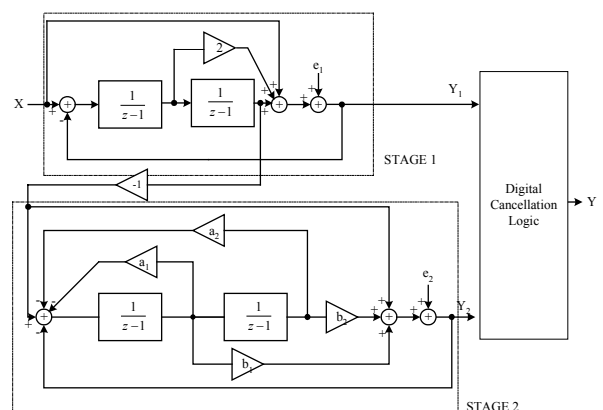


圖一：雙重協定下之寬頻接收機架構

三、 研究方法與成果

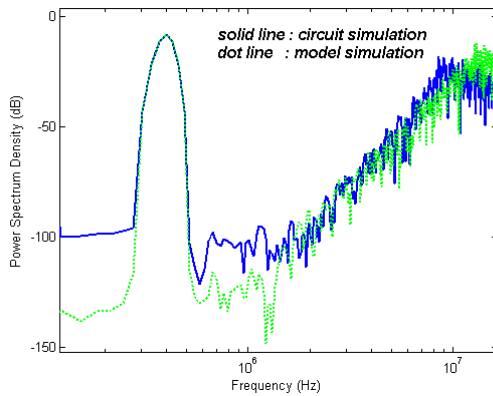
3.1 低諧波失真架構之串接式三角積分調變器

傳統上，在設計寬頻積分三角調變器時，多以高階架構或是高取樣率來達成；在成本及消耗功率的考量下，本文提出的一個新型多級串接式積分三角調變器如圖二所示，再圖二中，每級各包含一個低諧波失真之二階積分三角調變器[8]，並利用柴比雪夫濾波器的設計加入零點的考量，改善 NTF 的頻寬，使本架構能適用於寬頻的應用。



圖二 二級串接之四階積分三角調變器

其模擬結果如圖三：

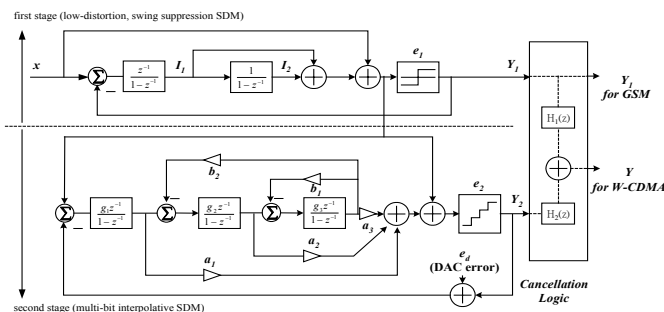


圖三 低諧波失真架構之串接式三角積分調變器之輸出頻率響應圖

3.2 新型雙頻帶三角積分調變器

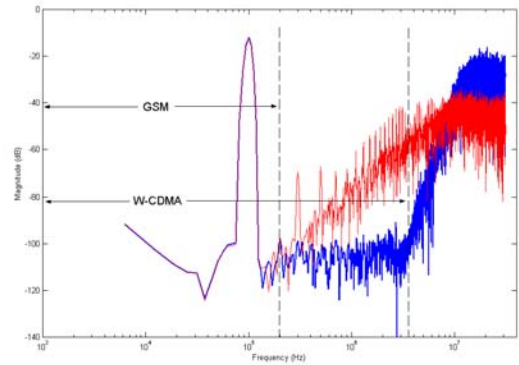
在寬頻接收機架構中，如何設計一個寬頻 ADC 是很重要的角色，傳統的三角積分調變器多應用於高解析度的 audio band，若考慮到寬頻架構的三角積分調變器，近年則有來有兩種方法被廣泛的討論，分別是多位元量化 multi-stage noise shaping (MASH) 架構 [6] 和以 inverse-filter 為導向的架構[7]，在我們的設計概念裡，結合了兩者的優點，將雜訊轉移函式 ($NTF = \frac{(1-z^{-1})^n}{D(z)}$) 注入零點，以利於頻寬的延

展，並配合多位元量化的技術將雜訊壓抑，如此能使之符合寬頻低雜訊的需求[8][9]，圖四為此次設計三角積分調變器的架構。



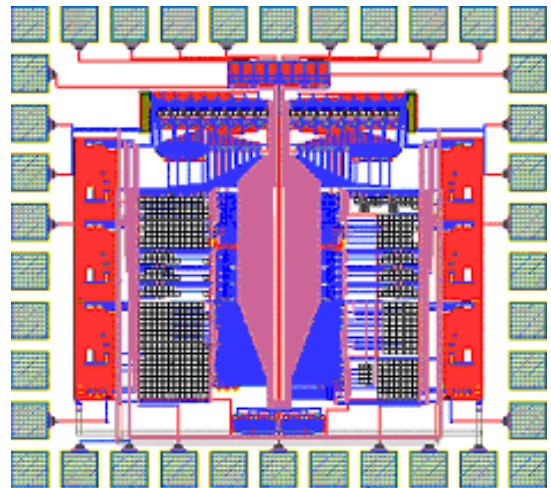
圖四 三角積分調變器的架構

其模擬結果如圖五：

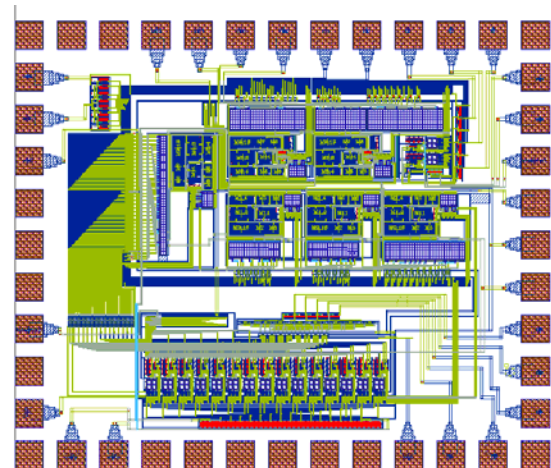


圖五 新型雙頻帶三角積分調變器之輸出頻率響應圖

3.3 佈局



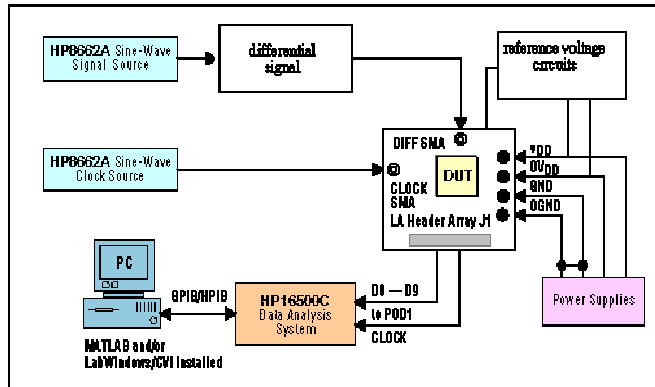
圖六 低諧波失真架構串接式三角積分調變器



圖七 新型雙頻帶三角積分調變器

3.5 測試

圖八為待測電路系統，需要一個差動訊號產生電路將單端的輸入訊號轉變成雙端差動訊號，除外需一個參考電壓電路，來調整精準的參考輸入偏壓，最後輸出的訊號必須透由邏輯分析儀將資料依 clock 的時序來處存，並擷取後透由 Matlab 運算以得到 power spectrum 和 SNDR 值。

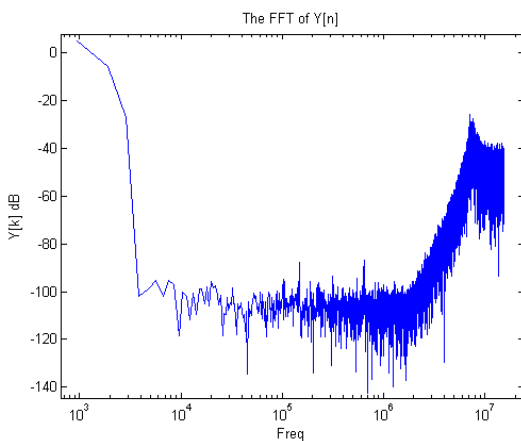


圖八 待測電路系統

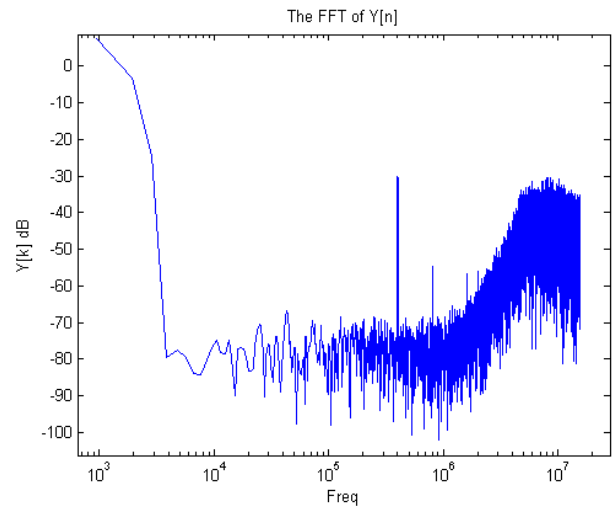
四、 預計規格與實測結果

4.1 低諧波失真架構之串接式三角積分調變器

圖九是當輸入訊號為零時的輸出信號頻譜，由此圖可看出此電路的雜訊轉移函式是正確的運作。當輸入信號為一僅具 12 位元解析度之單端輸入正弦波信號時，可測得如圖十之輸出信號頻譜。表三是本架構的表現值列表。



圖九 輸出頻率響應圖， $V_{in} = 0$



圖十 輸出頻率響應圖， $V_{in, pp} = 0.2$, single-end input

表三 低諧波失真架構之串接式三角積分調變器的表現值

Ref.	Simulation	Measure
DR	87dB	-
PSNDR	81dB	-
SNR (12-bit resolution input)	-	70dB
BW	1.25MHz	1.25MHz
Fs	30MHz	30MHz
OSR	12	12
P _{diss}	65mW	~65mW
V _{supply}	2.5v	
ChipArea	1.28 mm²	
Technology	0.25um	
Architecture	Cascade2-2 3bit/3bit	

4.2 新型雙頻帶三角積分調變器

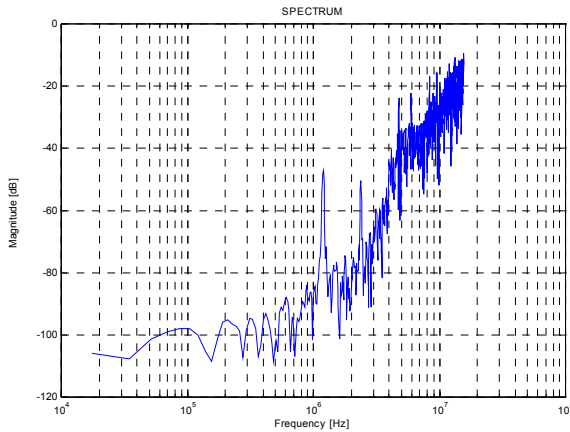
4.2.1 預計規格

Spec.	Value
Supply Voltage	2.5V
OSR	16
Sampling ratio (MHz)	60
SNDR (dB)	78
Bandwidth(MHz)	3.84
Power Consumption(mW)	40

4.2.2 實測結果

(1) 30MHz 取樣

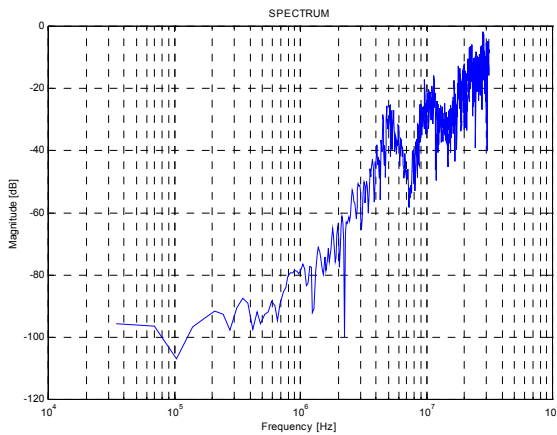
輸入為直流信號，取樣時脈為 30MHz，圖十一為 matlab 統計及 FFT 分析後頻譜圖。



圖十一 頻譜分析

(2) 60MHz 取樣

輸入為直流信號，取樣時脈為 60MHz，圖十二為 matlab 統計及 FFT 分析後頻譜圖。



圖十二 頻譜分析

五、 結論與討論

5.1 低諧波失真架構之串接式三角積分調變器

本晶片提出一個二級串接之四階積分三角

調變器，為達到高解析與寬頻的要求，使用低諧波失真、多位元量化與柴比雪夫濾波器的設計。由測量結果可知，此晶片的設計是 Function work。在量測時發現，此晶片很容易被燒壞，可能的原因應該是導線寬度不夠所造成；在表現度上，可能因為在佈局上的考量不夠嚴謹，以及量測環境的不足，致使量測的結果無法看到其最佳的表現。綜合以上的原因，在下一次的計劃中，我們將加強晶片的佈局技術及晶片的量測環境與方法，以求達到更完整的設計與結果。

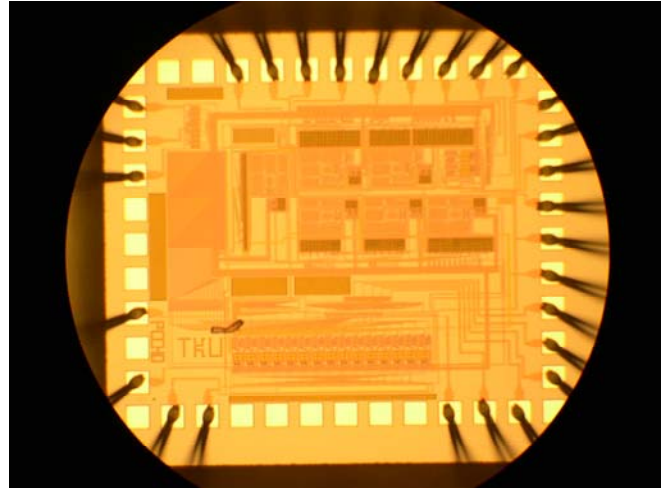
5.2 新型雙頻帶三角積分調變器

此晶片的量測結果，只能針對直流輸入分析，取樣頻率 30MHz 時電路大致可正常動作，但若將取樣頻率提昇至 60MHz，則電路的雜訊明顯增加，在考量交流量測方面，因無法得到高解析度的高頻輸入訊號源，所以量測無法完成；再者，在 IC 佈局時考量有所疏失，利用 poly 實現的電阻值過小，而導致會產生一大電流，並且很容易將 IC 燒壞，而這也是這顆 IC 最大缺失，所以本次的量測結果可算是失敗的成品，我們預計將再下一版本，針對 poly 電阻及加入參考偏壓電路在 IC 中，已得到更穩定的量測結果。

六、 參考文獻

- [1] A. R. Feldman, B. E. Boser, and P. R. Gray, "A 13-bit, 1.4-MS/s sigma-delta modulator for RF baseband channel applications," *IEEE J. Solid-State Circuits*, vol. 33, no. 10, pp. 1462-1469, Oct. 1998.
- [2] Y. Geerts, A. M. Marques, M. S. J. Steyaert, and W. Sansen, "A 3.3-V, 15-bit, delta-sigma ADC with a signal bandwidth of 1.1 MHz for ADSL applications," *IEEE J. Solid-State Circuits*, vol. 34, no. 7, pp. 927-936, July 1999.
- [3] J. C. Morizio, M. Hoke, T. Kocak, and C. Geddie, "14-bit 2.2-MS/s sigma-delta ADC's," *IEEE J. Solid-State Circuits*, vol. 35, no. 7, pp. 968-976, July 2000.

- [4] K. Vleugels, S. Rabii, and B. A. Wooley, "A 2.5-V sigma-delta modulator for broadband communications applications," *IEEE J. Solid-State Circuits*, vol. 36, no. 12, pp. 1887-1899, Dec. 2001.
- [5] T.-H. Kuo, K.-D. Chen, and H.-R. Yeng, "A wideband CMOS sigma-delta modulator with incremental data weighted averaging," *IEEE J. Solid-State Circuits*, vol. 37, no. 1, pp. 11-17, Jan. 2002.
- [6] R. Rio, F. Medeiro, J. M. Rosa, B. Perez-Verdu and A. Rodriguez-Vazquez, "A 2.5V sigma-delta modulator in 0.25-um CMOS for ADSL," *Proc. 2002 IEEE Int. Symp. Circuits Sys.*, vol. 3, pp. 301-304, 2002.
- [7] K. C.-H. Chou, S. Nadeem, W. L. Lee, and G. C. Sodini, "A higher-order topology for interpolative modulators for oversampling A/D converters," *IEEE Trans. Circuits and Syst. II*, vol. 37, pp. 309-318, March 1990.
- [8] J. Silva, U. Moon, J. Steensgaard, and G. C. Temes, "Wideband low-distortion delta-sigma ADC topology," *Electronics Letters*, vol. 37, no. 12, pp. 737-738, June 2001.
- [9] J.-S. Chiang, T.-H. Chang, and P.-C. Chou, "A low-distortion and swing-suppression sigma-delta modulator with extended dynamic range," *Proc. 3rd IEEE Asia-Pacific Conf. on ASICs*, pp. 9-12, 2002.



圖十三：Die 照片